Evaluación del Trabajo Práctico Número 5

Arquitectura de Computadoras 07/05/2025

Instrucciones

- La presente evaluación es individual y podrá utilizar todo el material escrito del que disponga.
- La misma consta de 1 ejercicio en total y la duración será de 60 minutos.
- En cada ejercicio se indica el tiempo estimado para resolverlo y el puntaje que otorga el mismo.
- La evaluación se desarrollará en las hojas provistas por la cátedra a tal fin.
- Las hojas que no estén caratuladas en la forma indicada por la cátedra no serán tenidas en cuenta.
- No se permitirá intercambiar ni prestar ningún tipo de elemento entre los estudiantes.
- La buena presentación, ortografía y redacción serán tenidas en cuenta para la calificación final.

Ejercicios para resolver

1) **60 Minutos - 100 Puntos (20, 30, 30, 20)**

Se tiene un procesador superescalar de emisión doble con un pipeline de 5 etapas (IF, ID, EX, MEM, WB). El procesador puede emitir dos instrucciones por ciclo: una en un pipeline que maneja instrucciones ALU y de salto (Pipeline A), y otra en un pipeline que maneja instrucciones de carga/almacenamiento (Pipeline B). Ambos pipelines tienen unidad de forwarding para resolver riesgos de datos. Las instrucciones se emiten y finalizan en orden. Los saltos se resuelven en la etapa ID al igual que en el pipeline visto en clase.

Sobre este procesador se ejecuta el siguiente código RISC-V (calcula el producto de elementos en dos arreglos y almacena el resultado):

```
loop:
     lw t0, 0(s0)
     lw t1, 0(s1)
     mul t2, t0, t1
     sw t2, 0(s2)
     addi s0, s0, 4
     addi s1, s1, 4
     addi s2, s2, 4
     addi t3, t3, -1
     bnez t3, loop
```

a) Identifique todos los riesgos de datos (RAW, WAR, WAW) en el código del lazo si se ejecuta sin renombramiento de registros. Realice el diagrama de precedencia.
b) Calcule las Instrucciones Por Ciclo (IPC) para el segmento de código en el procesador superescalar de emisión doble propuesto.
c) Si se desea mejorar el IPC para el código propuesto sin modificar la arquitectura del procesador, para ello sugiere un reordenamiento del código. ¿Cuál es el máximo IPC que se puede obtener solamente reordenando el código?
d) Luego de implementar los cambios anteriores, se le ocurre que podría realizar un desenrollado del lazo con un reordenamiento para mejorar aún más el IPC. ¿Cuál es el máximo IPC que se puede obtener con estos nuevos cambios? ¿Hubo una mejora con respecto al apartado anterior? En caso afirmativo, de cuanto fue la misma?

Soluciones propuestas

1)
   a) 4 riesgos RAW y 4 dependencias WAR (no constituyen riesgos).
   b) IPC = 1
   c) IPC = 1.5
   d) IPC = 1.89